

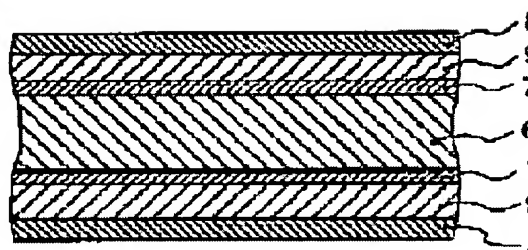
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP2000174191
Publication date: 2000-06-23
Inventor: OKUDAIRA HIROAKI; INABA KICHIJI
Applicant: HITACHI LTD
Classification:
- **International:** H01L23/50
- **European:**
Application number: JP19980347141 19981207
Priority number(s):

Abstract of JP2000174191

PROBLEM TO BE SOLVED: To prevent a crack and a whisker on a tin alloy-plated film by forming a concentration gradient so as to increase a content of the alloy content in a thickness direction of the film in the case of tin-alloy plating external leads.

SOLUTION: After a lead having a width of 3 mm, a length of 15 mm and a thickness of 0.15 mm is normally degreased and pickled, the lead is tin-bismuth alloy-plated by a plating solution containing an organic acid, an organic stannic acid (tin concentration of 55 g/l), an organic bismuthic acid (bismuth concentration of 0.8 g/l) and an additive of 30 ml/l. A current density when the plating is started is set to 20 A/dm², and a lower layer (near a lead base material) plating film 7 of a bismuth content of 0.7 wt.% is formed. Then, the density is reduced to 5 A/dm², and an intermediate layer plated film 9 (film thickness of 5 μ m) continuously changing from the bismuth content of 0.7 wt.% to 2.3 wt.% is formed. Subsequently, the density is maintained at 5 A/dm², and an upper layer (near a surface) plated film 8 (5 μ m of a film thickness together with the film 7 is formed.



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2000-174191

(P2000-174191A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) Int.Cl.⁷

H 0 1 L 23/50

識別記号

F I

H 0 1 L 23/50

テマコード* (参考)

D 5 F 0 6 7

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平10-347141

(22) 出願日 平成10年12月7日 (1998.12.7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 奥平 弘明

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 稲葉 吉治

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業本部内

(74) 代理人 100061893

弁理士 高橋 明夫 (外1名)

Fターム(参考) 5F067 DC12 DC18 DC19 DC20

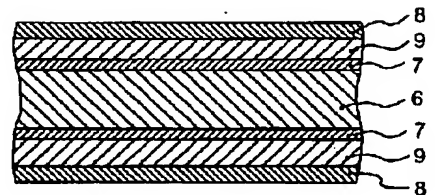
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】鉛フリーのスズ合金はんだめっきを用いて、クラックの発生を防止して、濡れ性の低下がなく、しかも耐ウイスカ性、耐食性などに優れた曲げ成形されたリードを有する信頼性の高い半導体装置を実現することにある。

【解決手段】樹脂封止した半導体装置の外部リードにスズ合金をめっきする際に、めっき膜の膜厚方向に合金成分含有率が増加するように合金成分に濃度勾配をもたせてスズ合金めっき膜を形成する。リード表面に例えばBiやAg等の鉛を含まないスズ合金をめっきする際に、めっき膜の下層では合金成分であるBiやAgの含有率を少なく、上層では多する。極端な場合、下層をBiやAgの合金成分を含むスズ合金とし、上層をスズを含まないBiやAgの合金成分だけで形成してもよい。

図 2



6…リード基材 7…ビスマス含有率の小さいめっき膜 (下層)
8…ビスマス含有率の大きいめっき膜 (上層) 9…中間層

【特許請求の範囲】

【請求項 1】リードに電気的に接続された半導体素子が樹脂封止され、外部に露出したリード表面にスズ合金めっき膜が形成されかつ曲げ成形された半導体装置において、前記スズ合金めっき膜が、めっき膜厚方向に合金成分の含有率が増加するように濃度勾配を有していることを特徴とする半導体装置。

【請求項 2】前記スズ合金めっき膜は、めっき膜厚方向に合金成分の含有率が連続的に増加するように濃度勾配を有していることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】前記スズ合金めっき膜は、めっき膜厚方向に合金成分の含有率が段階的に増加するように濃度勾配を有していることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】リード表面に形成したスズ合金めっき膜は、合金成分としてビスマス、銀、亜鉛、インジウム及びアンチモンの少なくとも 1 種を含み、かつ前記合金成分の含有率が $1 \text{ wt} \%$ 以下の下層の上に、含有率が $1 \text{ wt} \%$ 以上の上層とを有していることを特徴とする請求項 1 乃至 3 のいずれか一つに記載の半導体装置。

【請求項 5】前記スズ合金めっき膜の合金含有率が $1 \text{ wt} \%$ 以上の上層の膜厚が $1 \mu\text{m}$ 以上であり、合金含有率が $1 \text{ wt} \%$ 未満の下層の膜厚が $2 \mu\text{m}$ 以上であることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】前記リード表面には、スズ合金めっき膜の下地として $1 \sim 10 \mu\text{m}$ 膜厚の銅めっきが施されていることを特徴とする請求項 1 乃至 5 のいずれか一つに記載の半導体装置。

【請求項 7】リードフレームに半導体素子を電気的に接続し、樹脂封止した半導体装置の外部リードにスズ合金めっき膜を形成し、リードをリードフレームから切断し所定の形状に曲げて成形するパッケージ工程を有する半導体装置の製造方法において、前記外部リードにスズ合金めっき膜を形成するに際し、めっき膜の厚さ方向に合金成分含有率が増加するようにスズ合金めっき膜中に合金成分の濃度勾配を形成する工程を有していることを特徴とする半導体装置の製造方法。

【請求項 8】リードフレームに半導体素子を電気的に接続し、樹脂封止した半導体装置の外部リードにスズ合金めっき膜を形成し、リードをリードフレームから切断し所定の形状に曲げて成形するパッケージング工程を有する半導体装置の製造方法において、前記外部リードにスズ合金めっき膜を形成するに際し、めっき膜の厚さ方向に合金成分含有率が連続的に増加するようにスズ合金めっき膜中に合金成分の濃度勾配を形成する工程を有していることを特徴とする半導体装置の製造方法。

【請求項 9】前記スズ合金めっき膜を形成する工程を、電気めっき工程で構成し前記合金成分含有率を電流密度に基づいて変化せしめ、めっき初期は所定の電流密度

で目的とする低い合金成分含有率とし、次いで膜厚の増加と共に順次電流密度を低下させて高い合金成分含有率とする工程としたことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 10】前記スズ合金めっき膜を形成する工程を、電気めっき工程で構成し、めっき電流波形にパルス波形を用いてパルスの通電時間 t において所定の合金成分含有率のスズ合金めっき膜を析出させ、次いでパルス休止時間 s でスズを含まない合金成分のみを析出させ、これらパルスの通電時間 t と休止時間 s とを周期的に繰り返すことにより多層構造のめっき膜を形成する工程としたことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 11】前記スズ合金めっき膜を形成する工程を、前記合金成分含有率を電流密度に基づいて変化せしめる第 1 の工程と、めっき電流波形にパルス波形を用いてパルスの通電時間 t において所定の合金成分含有率のスズ合金めっき膜を析出させ、次いでパルス休止時間 s でスズを含まない合金成分のみを析出させる第 2 の工程とからなる電気めっき工程で構成し、めっき初期には電流密度を大きく、かつパルスの通電時間 t を短くして目的とする低い合金成分含有率とし、めっき終末期には電流密度を小さく、かつパルスの通電時間 t を長くすることにより高い合金成分含有率とする形成工程としたことを特徴とする請求項 8 記載の半導体装置の製造方法。

【請求項 12】請求項 1 乃至 4 のいずれか一つに記載された半導体装置の外部リードを所定の配線基板上の電極にはんだ接続したことを特徴とする半導体装置の実装構造体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の外部リードの表面に鉛を含まないスズ合金めっき膜を形成した半導体装置の改良及びその製造方法に関する。

【0002】

【従来の技術】IC、LSI などの半導体素子は、いわゆるパッケージング工程において、リードフレーム上に固着された後、ワイヤボンディングなどによりリードフレームと電気的に接続され、さらにモールド樹脂によりモールドされる。そして、基板などの外部回路とはんだ等を用いて接続するために、モールド樹脂の外側に露出したリード（外部リードと云う）には、主に鉛を $10 \sim 40 \text{ wt} \%$ 含むスズ-鉛合金、いわゆる鉛はんだめっきが施され、その後リードはフレームから切断され、所定の形状に曲げ成形される。このため、リードに対するめっきには、はんだ濡れ性、耐熱性、耐ウイスカ性、密着性、折り曲げ性、耐食性等の特性が要求される。鉛はんだめっきはこれらの要求特性を全て満足し、現行製品に広く使用されている。

【0003】

【発明が解決しようとする課題】しかしながら、近年の環境問題の中で鉛による環境汚染が大きな問題となっている。鉛はんだに関しては、家電製品、自動車部品などの電機部品の接合材料として広く使用されており、これらが廃棄物としてシュレッダーダスト化され屋外に廃棄されたとき、酸性雨等の酸性雰囲気曝露されると、はんだ中の鉛が溶出して、地下水を汚染することが問題となってきた。そこで、鉛を含まないいわゆる鉛フリーはんだの開発が進められ、 Sn-Ag-Bi 系、 Sn-Zn-Bi 系等の鉛フリーはんだが開発されている。

【0004】さらに、鉛フリーはんだに対応する鉛フリーはんだめっきの開発も進められ、めっき膜材料としてはパラジウム、スズ-亜鉛合金（例えば特開平4-212443号公報）、スズ-銀合金、スズ-ビスマス合金などが挙げられている。

【0005】しかし、これらの合金めっき膜はいずれも大きな欠点がある。例えばパラジウムは、耐食性の面でリード材の主流である鉄-ニッケル合金である42アロイには適用できない。スズ-亜鉛合金は酸化されやすく濡れ性が劣り、ウイスカも発生しやすい。ウイスカが発生すると間隔の狭いリード間で電氣的な短絡を生じる。スズ-銀合金は加熱により表面が青く変色して濡れ性が低下する。

【0006】また、スズ-ビスマス合金は硬く、脆いため上記の半導体素子の成形工程においてリードを曲げたときにめっき膜にクラックが生じる。そのため、リードを折り曲げた後に加熱工程を通すとリード表面が酸化され、濡れ性が低下する。また、耐食性も低下する。このようにいずれのスズ合金も大きな欠点があるため、従来のスズ-鉛合金の代替めっき膜として用いることはできない。

【0007】また、東芝技術公開集VOL. 15-62、発行番号97-0647、第61頁および第62頁（発行日：1997-9-29）には、リード母材部分に下地めっき部分としてスズめっきまたはスズ合金めっきを施し、表面めっき部分にスズベースで2元以上の合金めっき（例えば SnAg 、 SnZn 、 SnBi など）を施すことが記載されている。しかしながら、クラックやウイスカの発生を無くすことについては、考慮されていない。

【0008】本発明の目的は、上記従来技術の課題を解決すべく、鉛フリーはんだめっきを用いて、クラックの発生を防止して濡れ性の低下が無く、しかも耐ウイスカ性、耐食性などに優れた曲げ成形されたリードを有する信頼性の高い半導体装置を実現して、基板に濡れ性を低下させることなく高信頼度ではんだ接続実装できるようにした半導体装置およびその製造方法と実装構造体とを提供することにある。

【0009】

【課題を解決するための手段】本発明者等は、スズ合金

めっき膜中の合金成分について膜厚方向の含有率、膜厚等について種々検討したところ、従来の技術では予想も着かない新しい知見が得られ、この知見に基づいて本発明をするに至った。すなわち、合金成分を例えばビスマスまたは銀とした場合、従来はこれらの合金成分をスズ合金めっき膜中において可能な限り均一に分散させようと努力してきた。しかし、前述の通りの問題が発生した。

【0010】ところが、本発明では半導体装置の外部リードにスズ合金をめっきする際に、めっき膜の厚さ方向に合金成分含有率が増加するようにスズ合金めっき膜を形成する。つまり、リード表面にスズ合金めっき膜を形成する際に、めっき膜の膜厚方向に例えば Bi や Ag 等の鉛を含まない合金成分に濃度勾配を設けることにより、従来技術の問題点を解消させることができたものである。

【0011】すなわち、上記目的を達成するために、本発明は、曲げ成形された外部リードを有する半導体装置において、前記リード表面に、めっき膜厚方向に合金成分含有率が増加するように、スズ合金めっき膜中の合金成分に膜厚方向の濃度勾配を設けたことを特徴とする。

【0012】上記スズ合金めっき膜中の合金成分に膜厚方向の濃度勾配を設けるに際して、先ず実用的に好ましい合金成分としては、例えばビスマス、銀、亜鉛、インジウム及びアンチモンの少なくとも1種が挙げられ、かつ膜厚方向の好ましい濃度勾配は、めっき膜の下層の合金成分の含有率を1wt%以下とし、上層の含有率を1wt%以上とすることである。

【0013】極端な場合、下層の合金成分の含有率を1wt%以下とし、上層を避けられない不純物を除き合金成分のみの100wt%としてもよい。

【0014】また、スズ合金めっき膜の厚さを $10\mu\text{m}$ とした場合、めっき膜の表面近傍の合金成分含有率が1wt%以上である部分の膜厚が $1\mu\text{m}$ 以上であり、リード基材近傍の合金成分含有率が1wt%以下の部分の膜厚が $2\mu\text{m}$ 以上であることが望ましい。

【0015】また、本発明は、前記半導体装置において、スズ合金めっき膜におけるクラックおよびウイスカの発生を防止すること目的とするものであり、そのためには特に、リード基材近傍のめっき膜において例えばビスマス含有率を1wt%以下にすることによってクラックの発生を防止し、表面近傍のめっき膜においてビスマス含有率を1wt%以上にすることによってウイスカの発生を防止することができる。

【0016】また、本発明においては、外部リード基材の表面に下地膜として $1\sim 10\mu\text{m}$ 膜厚の銅めっきを施すことが望ましい。

【0017】また、本発明は、上記のように外部リード基材の表面に、めっき膜厚方向に合金成分含有率が増加するように形成したスズ合金めっき膜を有する曲げ成形

された複数のリードを備えた半導体装置を、前記複数のリードを所定の配線基板上の電極にはんだ接続したことを特徴とする半導体装置の実装構造体を含むものである。

【0018】以上説明したように、前記構成によれば、樹脂封止後の外部リード成型時の折り曲げによるクラックの発生に伴う濡れ性の低下がなく、かつウイスカの発生もなく、耐食性に優れた半導体装置及びその実装構造体を製造することが可能となった。

【0019】

【発明の実施の形態】本発明に係る半導体装置およびその実装構造体の実施の形態について以下、図を用いて説明する。図1は、本発明に係る樹脂封止された半導体装置の断面図を示しており、実施の形態の全体を示す概略構成図である。半導体装置は、半導体素子と熱膨張率が合わせられた鉄-ニッケル合金である42アロイまたはその表面に1~10 μ mの厚さの銅めっきが施されたリードフレーム（リード基材）2上にIC、LSIなどの半導体素子1を固定した後、半導体素子1の不図示の電極をワイヤボンディング3などによりリードフレームと電気的に接続詞、モールド樹脂4により樹脂封止されて製造される。

【0020】そして、モールド樹脂4の外側に露出したリードフレーム（リード基材）2に対して、脱脂、酸洗処理したのち、有機酸、有機酸スズ、有機酸ビスマスまたは有機酸銀および添加剤からなるめっき液を用いて、図2に断面を示すように、リード表面に、めっき膜厚の表面方向に向かって合金成分含有率が増加するようにスズ合金めっき膜を形成する。その後、リード5はフレームから切断され、所定形状に折り曲げ成形される。

【0021】以上により、本発明に係る半導体装置が完成されたことになる。このように完成された半導体装置のリード（外部リード）5は、不図示の配線基板などの外部回路に設けられた電極と鉛フリーはんだ等を用いてはんだ接続（はんだ接合）されて実装されることになる。

【0022】図2には、一例としてリード基材6の表面に、クラックの発生しにくいビスマスまたは銀含有率の低い（1wt%以下）スズ-ビスマスまたは銀合金めっき膜7（下層）を表面近傍に、それよりビスマスまたは銀含有率が高く（1wt%以上）、ウイスカが発生しないスズ-ビスマスまたは銀合金めっき膜8（上層）をリード基材近傍に、それらの間に中間層9を形成した構造を示す。この中間層9は合金成分であるビスマスまたは銀の含有率が、下層と上層との中間にあり、その含有率は上層方向に連続的に増加するように濃度勾配を設けてもよいし、中間の一定含有率としてもよい。

【0023】リード基材近傍のめっき膜7（下層）として、ビスマスまたは銀含有率が1wt%以下のスズ-ビスマスまたはスズ-銀合金からなることにより、リード

成型時の折り曲げ（規格は曲げ半径がリード基材の厚さと同じ0.15mm、現実には曲げ半径が0.25mm程度である）によるクラックの発生が防止されて、濡れ性の低下をなくすことができ、表面近傍のめっき膜8

（上層）として、ビスマスまたは銀含有率が1wt%以上のスズ-ビスマスまたはスズ-銀合金からなることにより、ウイスカが発生しないため、間隔の狭いリードでもウイスカ発生によるリード間の電氣的短絡を防止し、しかもリード成型時の折り曲げによるクラックの発生を防止して、濡れ性の低下をなくすことができ、さらに優れた耐食性を有する鉛フリーはんだめっきを施すことができる。

【0024】即ち、リード基材近傍のめっき膜7（下層）上に、一定量（1wt%）以上のビスマスまたは銀を含有するめっき膜8（上層）を形成すれば、ビスマスおよび銀はウイスカを防止する作用があるため、基材近傍のめっき膜7によるウイスカの発生を防止することができる。

【0025】また、リードの折り曲げ時に表面近傍のめっき膜8にクラックが発生しても、表面近傍のめっき膜8または中間層9で留まり、基材近傍のめっき膜7には達しない。そのためリードを折り曲げた後に加熱工程を通してリードの表面が酸化されて、濡れ性が低下することはない。また、クラックがリード基材6の表面に達しないため耐食性が低下することもない。

【0026】リードフレームの基材は、鉄-ニッケル合金である42アロイでも42アロイに銅めっきを施したもので銅合金でも特に制限するものではない。

【0027】めっき膜中のビスマス含有率とめっき処理時の電流密度との間には、めっき液中のビスマス濃度が一定のとき、図3に示すように電流密度が小さいときほどビスマス含有率は大きく、電流密度が大きいときほどビスマス含有率は小さくなる関係がある。従って、リード基材にスズ-ビスマス合金めっきを行うとき、めっき初期の電流密度を大きくし、めっき終期の電流密度を小さくすれば、基材近傍にビスマス含有率が低く、表面近傍にビスマス含有率が高いめっき膜を同一のめっき液中で形成することができる。

【0028】即ち、図3を例にとれば、初期に電流密度20A/dm²でめっきを行い、終期に電流密度5A/dm²でめっきを行えば、リード基材近傍（下層）にビスマス含有率0.7wt%のめっき膜が形成され、表面近傍（上層）にビスマス含有率2.3wt%のメッキ膜が形成できる。それぞれのめっき時間は、リード基材近傍のビスマス含有率0.7wt%のめっき膜厚が2 μ m以上、表面近傍のビスマス含有率2.3wt%のめっき膜厚が1 μ m以上になるように設定すればよい。

【0029】また、それらの中間のめっき膜のビスマス含有率は、電流密度を連続的に減少させて、0.7wt%から2.3wt%へと連続的に変化させても、電流密

度を 20 A/dm^2 から 5 A/dm^2 へと段階的に変化させて1層または2層以上の多層構造にしても差し支えない。以上ビスマスについて記したが銀その他の合金成分である亜鉛、インジウム及びアンチモン等についても同様である。

【0030】また、本発明においては、上記電流密度に基づくスズ合金めっき方法の他に以下に説明する方法によっても形成することができる。スズービスマスめっき、スズー銀めっきの例を代表して説明すると、スズービスマス、スズー銀めっきにおいては、スズに比べてビスマスおよび銀の電位が高いため、めっき液中にスズまたはスズ含有率の高いスズ合金を浸漬するとスズが溶出してビスマスまたは銀が析出するいわゆる置換反応が生じる。この置換反応を利用すると上記の例と同様に同一のめっき液中で、ビスマスまたは銀含有率の異なるめっき膜を形成することができる。

【0031】即ち、図4に示すように、電気メッキ時のめっき電流波形にパルスを用いると、パルスの通電時間 t においてはスズービスマス合金めっき膜が析出し、通電休止時間 s ではビスマス置換反応膜が析出する。これをパルス波形によって繰り返すことにより、図5の断面図に示すようにリード基材6上にスズービスマス合金めっき膜（通電時間に析出）10とビスマス置換反応膜（通電休止時間に析出）11との層状のめっき膜が得られる。

【0032】このとき、通電時間 t に比べて休止時間 s を短くすれば、ビスマス置換反応膜11は薄くなりビスマス含有率の小さいめっき膜が得られ、休止時間 s を長くすれば、ビスマス置換反応膜11は厚くなってビスマス含有率がより大きいめっき膜が得られる。従って、同一のめっき液において、めっき初期においては休止時間 s を短く、めっき終期には休止時間 s を長くすればリード基材近傍（下層）にはビスマス含有率の小さいめっき膜が形成され、表面近傍（上層）にはビスマス含有率の高いめっき膜が形成される。

【0033】上記の電流密度を変化させる方法とパルス電流の休止時間を用いる方法とを組み合わせると、さらにビスマス含有率の差の大きいめっき膜を形成することができる。即ち、めっき初期には電流密度を大きく、か

つ休止時間を短くし、めっき終期には電流密度を小さく、かつ休止時間を長くすることにより、リード基材近傍（下層）にはビスマス含有率の小さいめっき膜が形成され、表面近傍（上層）にはビスマス含有率のより大きなめっき膜が形成される。

【0034】

【実施例】次に、本発明に係る鉛フリースズ合金はんだめっき膜構造の実施例について具体的に説明する。

【0035】〈実施例1〉42アロイを基材とする幅3mm、長さ15mm、厚さ0.15mmのリードを10本連ねたテストサンプルを通常の方法で脱脂、酸洗処理した後、有機酸、有機酸スズ（スズ濃度 55 g/l ）、有機酸ビスマス（ビスマス濃度 0.8 g/l ）および添加剤 30 ml/l からなるめっき液を用いてスズービスマス合金めっきを行った。

【0036】めっき膜のビスマス含有率と電流密度の関係は図3に示したとおりである。めっき開始時の電流密度を 20 A/dm^2 に設定してビスマス含有率 0.7 wt\% の下層（リード基材近傍）めっき膜を形成し、ついで電流密度を連続的に 5 A/dm^2 まで減少してビスマス含有率 0.7 wt\% から 2.3 wt\% に連続的に変化する中間層めっき膜を形成し、その後引き続き電流密度を 5 A/dm^2 に維持してビスマス含有率 2.3 wt\% の上層（表面近傍）めっき膜を形成した。

【0037】めっき膜厚は中間層を $5\mu\text{m}$ とし、上層と下層とを合わせて $5\mu\text{m}$ 、全体で $10\mu\text{m}$ となるように形成し、表1に示す試料No. 1～6の組合せとした。めっきの終了したサンプルを1本ずつのリードに切り離し、以下の評価を行った。

【0038】曲げ半径 0.15 mm および 0.25 mm の曲げ治具を用いて 90° 曲げ試験を行い、曲げ部のクラックの発生状況を顕微鏡で観察した。ついでそのサンプルを 150°C で168時間加熱し、ディップ法により濡れ性を評価した。また、温度 85°C 、湿度 85% の環境に336時間放置した後のウィスカの発生状況を顕微鏡で観察した。その結果は表1に示すとおりである。

【0039】

【表1】

〈表1〉

No.	めっき厚(μm)		曲げ半径 0.15 mm			曲げ半径 0.25 mm		
	上層	下層	クラック	濡れ性	ウィスカ	クラック	濡れ性	ウィスカ
1	0.5	4.5	○	○	×	○	○	×
2	1	4	○	○	○	○	○	○
3	2	3	○	○	○	○	○	○
4	3	2	○	○	○	○	○	○
5	4	1	×	×	○	×	○	○
6	4.5	0.5	×	×	○	×	×	○

【0040】表1に示すとおり、曲げ半径 0.15 mm のときは上層（表面近傍）のビスマス含有率 2.3% のめっき膜厚が $0.5\mu\text{m}$ とき（試料No. 1）は、クラックの発生はないがウィスカが発生（×印で表示）し、

また、下層（リード基材近傍）のビスマス含有率 0.7% のめっき膜厚が $1\mu\text{m}$ 以下のとき（試料No. 5～6）は、ウィスカの発生はないがクラック発生（×印で表示）による濡れ性の低下（×印で表示）がみられた。

【0041】従って、クラック及びウイスカの少なくとも一方の発生を防止するには上層のビスマス含有率2.3%のめっき膜厚は1 μ m以上あればよく、下層のビスマス含有率0.7%のめっき膜厚は2 μ m以上あればよい。

【0042】曲げ半径0.25mmのときは、下層のビスマス含有率0.7%のめっき膜厚が1 μ mのときクラックの発生は有るものの濡れ性は良好であることから、めっき膜厚は上層が1 μ m以上、下層が1 μ m以上である。

【0043】また、更に好ましくクラックもウイスカも発生させないためには、試料No. 2～4にみられるように、上層が1～3 μ m、下層が2～4 μ mであった。

【0044】〈実施例2〉実施例1と同様に、42アロイを素材とするテストサンプルに次のようにしてめっき

10

を行い、評価した。めっき開始時の電流密度を20A/dm²に設定してビスマス含有率0.7wt%の下層（リード基材近傍）めっき膜を形成し、ついで電流密度を12A/dm²に設定してビスマス含有率1.2wt%の第1中間層を形成し、さらに電流密度を7A/dm²に設定してビスマス含有率1.8wt%の第2中間層を形成した。その後、電流密度を5A/dm²に下げてビスマス含有率2.3wt%の上層（表面近傍）めっき膜を形成した。めっき膜厚は第1及び第2中間層をそれぞれ5 μ mとし、上層と下層を合わせて5 μ mとし、全体の膜厚を15 μ mとなるよう表2に示す組合せとした。

【0045】

【表2】

〈表2〉

No.	めっき厚(μ m)		曲げ半径0.15			曲げ半径0.25mm		
	上層	下層	クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	4.5	○	○	×	○	○	×
2	1	4	○	○	○	○	○	○
3	2	3	○	○	○	○	○	○
4	3	2	○	○	○	○	○	○
5	4	1	×	×	○	×	○	○
6	4.5	0.5	×	×	○	×	×	○

【0046】表2に示すとおり曲げ半径0.15mmのときは上層のめっき膜厚0.5 μ mとき（試料No. 1）は、クラックの発生はないがウイスカが発生（×印で表示）し、また、下層めっき膜厚1 μ m以下（試料No. 5～6）では、ウイスカの発生はないがクラック発生（×印で表示）による濡れ性の低下（×印で表示）がみられた。

【0047】従って、クラック及びウイスカの少なくとも一方の発生を防止するには、この場合も上層のビスマス含有率0.7%のめっき膜は1 μ m以上あればよく、下層のビスマス含有率2.3%のめっき膜は2 μ mあればよい。曲げ半径0.25mmのときは、上層のめっき膜は4 μ mのときクラックの発生は有るものの濡れ性は良好であることから、好ましいめっき膜厚は上層が1 μ m以上、下層が1 μ m以上である。本実施例では中間層

を2層としたが、1層でも2層以上でも差し支えはない。また、更に好ましくクラックもウイスカも発生させないためには、試料No. 2～4にみられるように、上層が1～3 μ m、下層が2～4 μ mであった。

【0048】〈実施例3〉実施例1と同様に、42アロイを素材とするテストサンプルに次のようにしてめっきを行い、評価した。めっき開始時の電流密度を20A/dm²に設定してビスマス含有率0.7wt%の下層（リード近傍）めっき膜を形成し、ついで電流密度を5A/dm²に下げてビスマス含有率2.3wt%の上層（表面近傍）めっき膜を形成した。ここでは中間層は設けていない。めっき膜厚は上層と下層を合わせて10 μ mとなるよう表3に示す組合せとした。

【0049】

【表3】

〈表3〉

No.	めっき厚(μ m)		曲げ半径0.15mm			曲げ半径0.25mm		
	上層	下層	クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	9.5	○	○	×	○	○	×
2	1	9	○	○	○	○	○	○
3	5	5	○	○	○	○	○	○
4	8	2	○	○	○	○	○	○
5	9	1	×	×	○	×	○	○
6	9.5	0.5	×	×	○	×	×	○

【0050】表3に示すとおり曲げ半径0.15mmのときは上層のめっき膜厚0.5 μ mのとき（試料No. 1）は、クラックの発生はないがウイスカが発生し、また、下層めっき膜厚1 μ m以下（試料No. 5～6）では、ウイスカの発生はないがクラック発生（×印で表示）による濡れ性の低下（×印で表示）がみられた。従

って、クラック及びウイスカの少なくとも一方の発生を防止するには、この場合も上層のビスマス含有率0.7%のめっき膜は1 μ m以上あればよく、下層のビスマス含有率2.3%のめっき膜は2 μ mあればよい。曲げ半径0.25mmのときは、上層のめっき膜は4 μ mのときクラックの発生は有るものの濡れ性は良好であること

50

から、好ましいめっき膜厚は上層が $1\mu\text{m}$ 以上、下層が $1\mu\text{m}$ 以上である。また、更に好ましくクラックもウイスカも発生させないためには、試料No. 2~4にみられるように、上層が $1\sim 8\mu\text{m}$ 、下層が $2\sim 9\mu\text{m}$ であった。

【0051】〈実施例4〉実施例1と同様に、42アロイを素材とするテストサンプルに次のようにしてめっきを行い、評価した。めっき開始時の電流密度を $20\text{A}/\text{dm}^2$ に設定してビスマス含有率0.5%の下層（リード基材近傍）めっき膜を形成し、ついで電流密度を連続

的に減少してビスマス含有率0.5wt%から、表4の上層めっき膜のビスマス含有率に対応するように0.8~4wt%へ連続的に変化する中間層めっき膜を形成し、その後、中間層末期の電流密度を維持しながら試料No. 1~5に表示したビスマス含有率の異なる上層（表面近傍）めっき膜を形成した。めっき膜厚は中間層を $5\mu\text{m}$ とし、上層を $2\mu\text{m}$ 、下層を $3\mu\text{m}$ とした。

【0052】

【表4】

10
〈表4〉

No.	上層の Bi含有率(wt%)	曲げ半径0.15mm			曲げ半径0.25mm		
		クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.8	○	○	×	○	○	×
2	1	○	○	○	○	○	○
3	2	○	○	○	○	○	○
4	3	○	○	○	○	○	○
5	4	○	○	○	○	○	○

【0053】表4に示すとおり上層めっき膜のビスマス含有率0.8%（試料No. 1）では、クラックの発生はないがウイスカが発生した（×印で表示）。また、ビスマス含有率4%においてもクラックの発生による濡れ性の低下はみられなかった。従って、上層めっき膜のビスマス含有率は1wt%以上であればよい。曲げ半径0.25mmのときも同様の結果であった。なお、本実施例ではめっき膜厚が下層 $3\mu\text{m}$ 、上層 $2\mu\text{m}$ の例を示したが、上記の実施例1~3で示しためっき膜厚範囲でも同様の結果が得られた。

【0054】〈実施例5〉実施例1と同様に、42アロイを素材とするテストサンプルに次のようにしてめっき

を行い、評価した。めっき開始時の電流密度を変えてビスマス含有率の異なる下層（リード基材近傍）めっき膜を形成し、ついで電流密度を連続的に減少してビスマス含有率0.5~1.5wt%から2.3wt%に連続的に変化する中間層めっき膜を形成し、その後、電流密度を $5\text{A}/\text{dm}^2$ に設定してビスマス含有率2.3%の上層（表面近傍）めっき膜を形成した。めっき膜厚は中間層を $5\mu\text{m}$ とし、上層を $2\mu\text{m}$ 、下層を $3\mu\text{m}$ とした。その結果は表5に示すとおりである。

【0055】

【表5】

20
〈表5〉

No.	下層の Bi含有率(wt%)	曲げ半径0.15mm			曲げ半径0.25mm		
		クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	○	○	○	○	○	○
6	0.7	○	○	○	○	○	○
7	1.0	○	○	○	○	○	○
8	1.2	×	×	○	○	○	○
9	1.5	×	×	○	×	×	○

【0056】表5に示すとおり曲げ半径0.15mmのとき、下層めっき膜のビスマス含有率1.2wt%以上でクラックの発生による濡れ性の低下がみられた。従って、下層めっき膜のビスマス含有率は1wt%以下であればよい。曲げ半径0.25mmのときは、ビスマス含有率1.2%まで濡れ性は良好であることから、ビスマス含有率は1.2wt%以下であればよい。なお、本実施例ではめっき膜厚が下層 $3\mu\text{m}$ 、上層 $2\mu\text{m}$ の例を示したが、上記の実施例1~4で示した好ましいめっき膜厚範囲でも同様の結果が得られた。

【0057】〈実施例6〉実施例1と同様に、42アロイを素材とするテストサンプルに次のようにしてめっきを行い、評価した。めっき電流にパルス電流を使用し、

通電時間を0.9秒、休止時間を0.1秒とし、電流密度を $20\text{A}/\text{dm}^2$ に設定してビスマス含有率0.8wt%の下層（リード基材近傍）めっき膜を形成した。ついで通電時間と休止時間の比を連続的に変化させて、ビスマス含有率が0.8wt%から1.7wt%に連続的に変化する中間層めっき膜を形成した。その後、通電時間を0.2秒、休止時間を0.8秒としてビスマス含有率1.7wt%の上層（表面近傍）めっき膜を形成した。電流密度は $20\text{A}/\text{dm}^2$ である。めっき膜厚は中間層を $5\mu\text{m}$ とし、上層と下層を合わせて $5\mu\text{m}$ となるよう表6に示す組合せとした。

【0058】

【表6】

〈表 6〉

No.	めっき厚(μm)		曲げ半径 0.15 mm			曲げ半径 0.25 mm		
	上層	下層	クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	4.5	○	○	×	○	○	×
2	1	4	○	○	○	○	○	○
3	2	3	○	○	○	○	○	○
4	3	2	○	○	○	○	○	○
5	4	1	×	×	○	×	○	○
6	4.5	0.5	×	×	○	×	×	○

【0059】表6に示すとおり曲げ半径0.15mmのとき上層のめっき膜厚が0.5μmのとき(試料No. 1)は、クラックの発生はないがウイスカが発生した(×印で表示)。また、下層のめっき膜厚が1μm以下(試料No. 5~6)では、ウイスカの発生はないがクラック発生(×印で表示)による濡れ性の低下(×印で表示)がみられた。従って、クラック及びウイスカの少なくとも一方の発生を防止するには、上層のめっき膜厚は1μm以上あればよく、下層のめっき膜厚は2μm以上あればよい。曲げ半径0.25mmのときは、下層のめっき膜厚が1μmのときクラックの発生は有るものの濡れ性は良好であることから、めっき膜厚は上層が1μm以上、下層が1μm以上あればよい。また、更に好ましくクラックもウイスカも発生させないためには、試料No. 2~4にみられるように、上層が1~3μm、下層が2~4μmであった。

【0060】〈実施例7〉実施例1と同様に、42アロイを素材とするテストサンプルに次のようにしてめっき

を行い、評価した。めっき液にはビスマス濃度0.5g/1のめっき液を用い、めっき電流にパルス電流を使用した。通電時間を0.9秒、休止時間を0.1秒とし、電流密度を20A/dm²に設定してビスマス含有率0.6wt%の下層(リード基材近傍)めっき膜を形成した。

【0061】ついで電流密度を20A/dm²から5A/dm²に連続的に変化させると共に、通電時間と休止時間の比を連続的に変化させて、ビスマス含有率が0.6wt%から2.8wt%に連続的に変化する中間層めっき膜を形成した。

【0062】その後、通電時間を0.2秒、休止時間を0.8秒とし、電流密度を5A/dm²に下げ、ビスマス含有率2.8wt%の上層(表面近傍)めっき膜を形成した。めっき膜厚は中間層が5μm、上層と下層を合わせて5μmとなるよう表7に示す組合せとした。

【0063】

【表7】

〈表 7〉

No.	めっき厚(μm)		曲げ半径 0.15 mm			曲げ半径 0.25 mm		
	上層	下層	クラック	濡れ性	ウイスカ	クラック	濡れ性	ウイスカ
1	0.5	4.5	○	○	×	○	○	×
2	1	4	○	○	○	○	○	○
3	2	3	○	○	○	○	○	○
4	3	2	○	○	○	○	○	○
5	4	1	×	×	○	×	○	○
6	4.5	0.5	×	×	○	×	×	○

【0064】表7に示すとおり曲げ半径0.15mmのとき上層のめっき膜厚が0.5μmとき(試料No. 1)は、クラックは発生しないがウイスカが発生し、また、下層のめっき膜厚が1μm以下のとき(試料No. 5~6)は、ウイスカは発生しないがクラック発生による濡れ性の低下がみられた。従って、クラック及びウイスカの少なくとも一方の発生を防止するには、上層のめっき膜厚は1μm以上あればよく、下層のめっき膜厚は2μm以上あればよい。

【0065】曲げ半径0.25mmのときは、下層のめっき膜厚が1μmのときクラックの発生は有るものの濡れ性は良好であることから、めっき膜厚は上層が1μm以上、下層が1μm以上あればよい。また、更に好ましくクラックもウイスカも発生させないためには、試料No. 2~4にみられるように、上層が1~3μm、下層が2~4μmであった。

【0066】実施例1~7で示しためっき膜厚範囲ではいずれも耐食性も良好であった。さらに、ここでは42

アロイリードの例について示したが、銅めっきをした42アロイリード、銅合金リードについても同様の結果が得られた。

【0067】実施例1~7では上層、下層のめっき膜ともにビスマス含有率が一定の場合を記したが、上層のビスマス含有率は1%以上の範囲で、また、下層のビスマス含有率は1wt%以下の範囲で変動させても差し支えない。本発明において重要なことはビスマスのような合金成分含有率が、下層よりも上層の方で大きくなっていることである。

【0068】また、上記実施例ではスズ-ビスマス合金めっき膜を代表例として示したが、その他、合金成分が銀、亜鉛、インジウム及びアンチモン等のスズ合金めっき膜についても同様の結果が得られた。

【0069】

【発明の効果】以上詳述したように、本発明により所期の目的を達成することができた。すなわち、半導体装置の外部リードへのスズ合金めっき膜の形成において、リ

ード基材近傍（下層）のビスマスに代表される合金成分含有率の小さいめっき膜および表面近傍（上層）のビスマス含有率の大きいめっき膜およびそれらの間のビスマス含有率を連続的または断続的に有する中間層めっき膜とからなる構造とすることにより、リードの成型時の折り曲げによるクラックの発生に伴う濡れ性の低下がなく、かつ、ウィスカの発生もなく、耐食性など信頼性に優れた半導体装置を製造することが可能となった。

【0070】さらに、本発明によれば同一のめっき液中で上記の下層、中間層、上層からなる3層のめっき全てを行うことが可能であり、めっき槽、めっき液の節減が可能となり、めっきコストの低減が図れる。

【図面の簡単な説明】

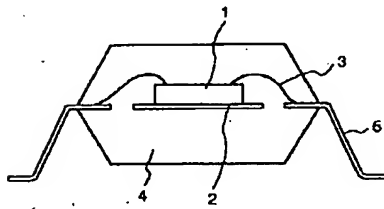
【図1】本発明に係る半導体装置の一実施例の形態を示す断面図。

【図2】本発明に係るリードの一実施例の形態を示す断面図。

【図3】本発明に係るめっき膜のビスマス含有率と電流密度の関係を示す図。

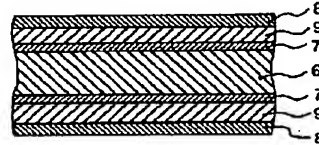
【図1】

図 1



【図2】

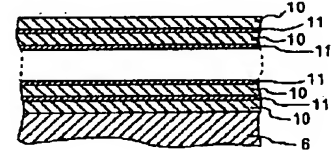
図 2



6…リード基材 7…ビスマス含有率の小さいめっき膜（下層）
8…ビスマス含有率の大きいめっき膜（上層） 9…中間層

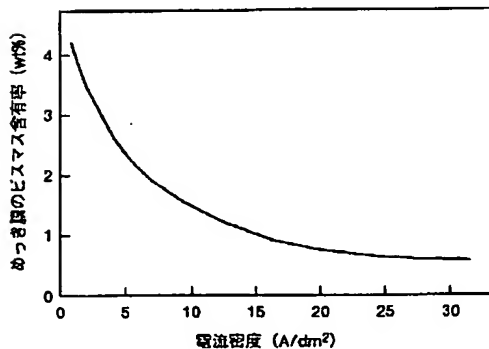
【図5】

図 5



【図3】

図 3



【図4】

図 4

